

UMOS構造による貼り合わせ基板の順方向バイアス劣化の低減を最大電流ストレス 2500 A/cm²まで可能である事を確認

謝辞

本研究はつくばパワーエレクトロニクスコンステレーションズ(TPEC)の共同研究プロジェクト下で実施された 石川誠治、東雄大はフェニテックセミコンダクターより産総研に出向

参考文献

- [1] S. Ishikawa et al., IIB-21, abstract of the 10th Meeting on Advanced Power Semiconductors, Japan
- [2] H. Uchida et al., Abstract of ICSCRM, (2024)
- [3] S. Ishikawa et al., IB-17, abstract of the 7th Meeting on Advanced Power Semiconductors, Japan
 [4] N. Hatta et al., Key Engineering Materials 948, P. 107, (2023)







